

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-51413

(43) 公開日 平成8年(1996)2月20日

(51) Int.Cl.<sup>9</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 1/12

審査請求 未請求 請求項の数3 O L (全 7 頁)

(21) 出願番号 特願平6-185684

(22) 出願日 平成6年(1994)8月8日

(71) 出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 岸上 友久

愛知県刈谷市昭和町1丁目1番地 日本電

装株式会社内

(72) 発明者 辻 克尚

愛知県刈谷市昭和町1丁目1番地 日本電

装株式会社内

(72) 発明者 逢富 由樹

愛知県刈谷市昭和町1丁目1番地 日本電

装株式会社内

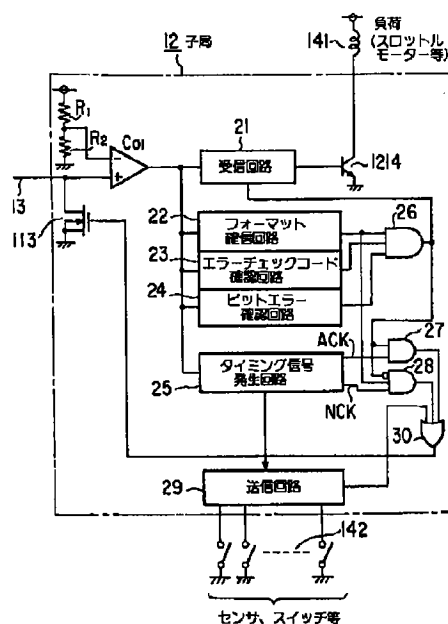
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 データ通信装置

(57) 【要約】

【目的】 この発明は、特に無信号区間においてノイズが発生した場合に、他の送信が阻害されることがないようにした、マスタスレーブ構成のデータ通信装置を提供することを目的とする。

【構成】 1つの親局に対して複数の子局が伝送路13を介して接続され、親局からSOF、複数の基本データブロック、ED、ACKおよびNCK領域、さらにEOFからなる所定のフォーマットの信号が送信される。子局12にはフォーマット確認回路22、他のエラー確認回路23、24が設けられ、これら確認回路22~24からのH信号でアンド回路26、アンド回路27のゲートが開かれ、タイミング信号発生回路25からのACKが送信される。フォーマット確認回路22の出力がHであってアンド回路26からL出力が得られた状態で、アンド回路28からNCKが送信され、フォーマットが異常とされたときには、ACK、NCK共に送信されない。



【特許請求の範囲】

【請求項1】 定められたフォーマットの送信信号を伝送路に送出する送信手段と、  
前記伝送路に接続されて、前記送信手段からの送信信号を受信する受信手段とから構成され、  
この受信手段は、  
前記伝送路を伝送された送信信号のフォーマットを確認するフォーマット確認手段と、  
前記伝送路を伝送された送信信号から信号エラーを検出するエラー確認手段と、  
前記フォーマット確認手段でフォーマットが正常と確認され、且つ前記エラー確認手段でエラー発生が確認されない状態で肯定応答を前記伝送路に送出する肯定応答送出手段と、  
前記フォーマット確認手段でフォーマットが正常と確認され、且つ前記エラー確認手段でエラー発生が確認された状態で否定応答を前記伝送路に送出する否定応答送出手段とを備え、  
前記フォーマット確認手段でフォーマットの異常が確認されたときには、前記肯定応答および否定応答のいずれも送出されないようにしたことを特徴とするデータ通信装置。

【請求項2】 前記送信手段は1個の親局で構成されると共に、前記受信手段は前記親局に伝送路を介して接続された複数の子局それぞれによって構成されるもので、前記親局と複数の子局それぞれとの間で多重通信が行われるようにした請求項1記載のデータ通信装置。

【請求項3】 前記送信信号を構成するフレームフォーマットは、フレームスタート符号に始まり、それぞれ同期を取るための1ビットの反転ビットを含む複数ビットで構成された複数のデータブロックが直列的に配列されてデータ終了符号に続き、さらに肯定応答および否定応答の領域を設定してフレーム終了符号が設定されるように構成されるもので、前記フォーマット確認手段は前記フレームフォーマットを構成するビットデータが順次格納されるシフトレジスタで構成され、前記複数のデータブロックそれぞれの前記反転ビット並びにフレームスタート符号の検出信号の結合される論理回路によって前記フォーマットの正常もしくは異常が判別されるようにした請求項1記載のデータ通信装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、例えば自動車等の車両内に装備される各種アクチュエータの駆動指令、センサ信号やスイッチ情報等の情報を、中央の制御ユニットからなる親局と、各駆動装置やセンサさらにスイッチ等にそれぞれ対応して設定される複数の子局との間で送受信する、マスタースレーブ構成の多重通信装置に係るものであり、特に送信部と受信部との送信信号の送受が効率的に行われるようにするデータ通信装置に関する。

【0002】

【従来の技術】データの送受信システムにおいて、送信機から受信機に向けてデータを送信する場合、送信機側において、この送信機から送信された各送信データに対する受信機からの応答を受けつつ、データの授受を実行させるようにした通信手段が知られている。この場合、受信機側において送信機からのデータ信号の受信を確認して、送信機に向けて所定の応答を伝送するものであるが、このような応答の手段としては、例えば特開昭60-236337号に開示されたデータ通信方法が知られている。すなわち、このデータ通信方法においては、送信データの最後の部分に応答用の領域を設定し、この応答領域を利用して肯定応答（ACK）または否定応答（NCK）を受信機側から送信機側に返送するようにしている。

【0003】また、ドイツ国のボッシュ社が提案してCAN(Contoller Area Network)にあつては、送信機側から受信機側に伝送されるデータ信号においてエラーが発生した場合に、受信機側においてエラー時専用のフレームを送信機側に伝送するようにしている。

【0004】そして、上記特開昭60-236337号のデータ通信方法において否定応答が発生し、またCANにおいてエラーフレームの発生する条件は、受信側において受信したデータ信号にエラーを検出した場合である。例えば、CANにおいてはビットエラー、スタフエラー、CRCエラー、フォームエラー、ACKエラー等の内、1つ以上が発生した場合にエラーフレームを送信する。

【0005】しかし、このような受信機側において検出されるエラーは、ノイズによって容易に発生するもので、例えばデータの送信中にノイズが発生して否定応答やエラーフレームを送信する場合にあつては、そのデータフレームが破壊されるだけであつて、他の通信に対する影響は少ない。しかし、一般にアイドルと称される無信号期間中にノイズが発生し、このノイズが受信機において受信された場合に、このノイズをフレームの先頭と誤認識することがある。ノイズをフレームの先頭と誤認識した場合には、必ず否定応答またはエラーフレームの返送が行われるようになり、そのノイズの発生後に1フレーム長の時間以上の間は、他の送信機からのデータ送信が禁止される。もし他の送信機において信号を伝送路に送信したとしても、否定応答またはエラーフレームの存在によって、その送信データが破壊されるようになり、伝送効率に対して著しい悪化をまねく。

【0006】

【発明が解決しようとする課題】この発明は上記のような点に鑑みなされたもので、特に無信号期間中においてノイズが発生したような場合において、他の送信機からの送信を阻害するようなことがなく、伝送路が効率的に利用できるようにして、例えばノイズの発生の率の高い

車両内において、マスタースレーブ構成の多重通信ネットワークが効果的に構成できるようにしたデータ通信装置を提供しようとするものである。

#### 【0007】

【課題を解決するための手段】この発明に係るデータ通信装置は、送信手段において定められたフォーマットの送信信号を伝送路に送出し、受信手段において送信手段からの送信信号を受信するようにした通信ネットワークにおいて、伝送路を伝送された送信信号のフォーマットを確認するフォーマット確認手段と、同じく伝送路を伝送された送信信号から信号エラーを検出するエラー確認手段と、前記フォーマット確認手段でフォーマットが正常と確認され、且つ前記エラー確認手段でエラー発生が確認されない状態で肯定応答を前記伝送路に送出する肯定応答送出手段と、前記フォーマット確認手段でフォーマットが正常と確認され、且つ前記エラー確認手段でエラー発生が確認された状態で否定応答を前記伝送路に送出する否定応答送出手段とを含み構成され、フォーマット確認手段でフォーマットの異常が確認されたときには、前記肯定応答および否定応答のいずれも送出されないようにしている。

#### 【0008】

【作用】例えば、車両内において発生するノイズの多くは、サージ等のパルス性のものであり、したがって伝送されるデータフレームの送信期間中において発生し続けることは少ない。この点に着目して受信手段側におけるエラー検出時に、受信したメッセージが送信手段から送信されたものか、ノイズによって誤認識されたものであるかを判別する。そして、受信フォーマットに異常が存在しないと判断された状態でエラーが検出されたときに、否定応答が発生し、受信フォーマットが正常であってノイズによる誤認識と判定されたときに、肯定応答も否定応答も行わず、他のメッセージの破壊が行われないようにして、伝送効率が確保されるようにしている。

【0009】車両内において頻繁に発生するノイズは、点火ノイズ、モータやソレノイド等が発生するフライバックパルス等によるもので、散発的に発生することが多い。したがって、メッセージ送信中にノイズが発生した場合と、送信中にノイズが発した場合との伝送路上における大きな相違点は、定められたフレームフォーマットに近いものが伝送されたか否かである。このため、受信手段で受信された信号において、フォーマットの特徴的な部分、例えばSOF(Start Of Frame)、EOD(End Of Data)、メッセージ長(SOFからEODまでの長さ)、およびビット同期をとるための符号が、所定の波形形状をしているか否かの判断によって、伝送されたフォーマットが正常であるか否かを識別できるもので、この識別がフォーマット確認手段によって行われる。

【0010】受信手段からの否定応答が他のメッセージを破壊するのは、主に無送信中に発生したノイズにより

送信開始を誤認識してときで、このため受信手段においてフォーマット確認手段が無送信時のノイズ発生と認識したときには否定応答を送信しないようにしている。この様にエラーが発生したならば必ず否定応答を返送するのではなく、少なくともフォーマットの主だった形状が正常と認識されたときにおいてのみ否定応答を返送することにより、ノイズの多い環境下においても伝送効率の悪化が効果的に抑制できる。

#### 【0011】

【実施例】以下、図面を参照してこの発明の一実施例を説明する。図1は、例えば車両に搭載される通信ネットワークの構成を示すもので、中央の電子制御ユニット等に対応して設定される1つの親局11と、モータやソレノイド、さらにセンサやスイッチ等の負荷要素それぞれに対応して設定される複数の子局121、122、…を備え、親局11と各子局121、122、…それぞれとは、共通の伝送路13によって接続されて、マスター(親局)スレーブ(子局)構成のネットワークを構成している。

【0012】親局11は、プロトコル制御部111と受信部112と送信部113とを備えているもので、プロトコル制御部111は水晶振動クロック源とした、例えばマイクロプロセッサによって構成される。また、受信部112は伝送路13の電位を、抵抗R1およびR2で分圧した基準電圧と比較するコンパレータCo1によって構成され、送信部113はトランジスタを用いてスリーステート出力可能なドライバによって構成される。

【0013】子局121、122、…は、例えば子局121で代表して示すように、通信データの入出力ポートを持つプロトコル制御部1211と、伝送路13の電位と抵抗R2およびR4で分圧した基準電位と比較するコンパレータCo2によって構成される受信部1212と、通信出力用トランジスタ1213を含み構成され、プロトコル制御部1211からの出力で制御されるトランジスタ1214によって、外部アクチュエータ141である負荷要素を駆動する。また、センサまたはスイッチ142等の負荷要素からの検出情報はプロトコル制御部1211に入力され、送信データが作成されて通信用トランジスタ1213を制御する。

【0014】その他の子局122、…は、この子局121と同様に構成されるものであるが、それぞれアクチュエータ、センサ、スイッチ等の特有の負荷要素が接続され、これらの負荷要素が各子局からの指令によって駆動され、またセンサやスイッチ等からの情報がそれぞれ対応する子局に入力されるようになっている。

【0015】図2は子局12(121、122、…)の構成をさらに詳細に示したもので、コンパレータCo1からの出力の供給される受信回路21は、主にシフトレジスタによって構成されて、エラーが存在しない場合においてのみ受信データをバッファに取り込み、外部のアクチュエータ141等を駆動するトランジスタ1214等に信号を出力する。コンパレータCo1からの出力信号は、さらにフォー

マットエラーを検出するフォーマット確認回路22、エラーチェックコード確認回路23、ビットエラー確認回路24、さらにタイミング信号発生回路25に供給される。

【0016】ここで、エラーチェックコード確認回路23は受信データの化けの発生を確認している。また、ビットエラー確認回路24は受信データが決められた符号形状を確認しているか、あるいは各ビット長が決められた長さであるかを、各ビット毎に確認しているもので、タイミング信号発生回路25は各種内部回路の動作タイミングを管理しているものであるが、この図においては説明の便のために、肯定応答のためのACK、否定応答のためのNCKの出力のみを示している。

【0017】そして、フォーマット確認回路22と、エラーチェックコード確認回路23と、さらにビットエラー確認回路24それぞれからの確認信号は、3入力のアンド回路26に供給され、このアンド回路26からの出力信号は受信回路21に受信指令信号として供給される。タイミング信号発生回路25から出力される符号ACKは、アンド回路26からの出力と共にアンド回路27入力し、タイミング信号発生回路25からの符号NCKは、フォーマット確認回路22からの出力と共にアンド回路28に入力するもので、このアンド回路28にはさらにアンド回路26からの出力が負論理で入力されている。

【0018】この子局12の外部に設定されるスイッチ142等の負荷要素からの情報は送信回路29に入力され、この送信回路29はタイミング信号発生回路25からのタイミング信号により駆動されて、スイッチ142等の外部負荷要素からの入力を、所定のフォーマットで出力する。この送信部113からの出力信号は、オア回路30を介して送信部113を構成するトランジスタを制御するもので、オア回路30にはさらにアンド回路27および28からの出力信号が供給されている。

【0019】図3はフォーマット確認回路22を説明するためのフレームフォーマットの例を示すもので、このフレームはまずSOFで始まる。そして、このSOFに続いてデータの下位4ビットD0～D3と、ビット同期を取るためのビットD3を反転した1ビットの反転符号からなる基本ブロック1が設定され、さらに上位4ビットD4～D7と、ビット同期を取るためのビットD7を反転した1ビットの反転符号からなる基本ブロック2が続く。そして、さらにデータ部のエラーチェックコード4ビットPo～P3と、ビット同期を取るためのビットP3を反転した1ビットの反転符号からなる基本ブロック3が続くもので、この反転符号はデータの終了を示す符号EODを兼用する。その後には、ACKおよびNCK用の領域が設定され、フレーム終了を示すEOFが最後に設定される。

【0020】図4はこの様にフレームフォーマットを用いた場合のフォーマット確認回路22の具体的な構成例を示すもので、図3のフレームフォーマットの基本ブロッ

ク1～3の各ビットと共に、SOFを記憶する記憶段を有するシフトレジスタ40によって構成される。

【0021】このシフトレジスタ40の各段には、図で示されるようにエラー確認時における各段に保持されるビットが格納される。そして、このシフトレジスタ40のビットD3およびその反転符号を記憶した段からの出力は、排他的論理和回路41に入力する。また、ビットD7およびその反転符号を記憶した段からの出力は排他的論理和回路42に入力し、さらにビットP3およびその後続く入力データを排他的論理和回路43に入力するように構成しているもので、これらの排他的論理和回路41～43それぞれからの出力は、アンド回路44に入力する。

【0022】このアンド回路44からはフォーマット確認信号が出力されるもので、フレームフォーマットが正常な場合にハイレベル(H)の出力が得られ、フォーマットに異常がある場合にはローレベル(L)の出力が得られる。

【0023】この様に構成されるマスタースレーブ方式が採用される多重通信装置における動作を、図5を用いて説明する。まず、親局11においては伝送路13に対して図3で示すようなフォーマットにしたがってデータ信号を送出するもので、親局11からデータ終了を示す符号EODまで出力した時点で、各子局12の受信回路21内のシフトレジスタに、図4で示すような状況でデータが格納される。ここで、図3で示されたフォーマットの特徴は、フレームスタートを示す符号SOFの最後のビットがHレベルで、データ領域の5ビット毎にビット同期調整用の反転符号が入っていることである。

【0024】この様なマスタースレーブ方式の多重通信装置において、通信が正常に行われた場合には、図5の(A)で示すように伝送路13に送り出される信号波形が設定される。すなわち、図4で示したようなフォーマット確認回路22において、基本ブロック1～3それぞれの反転符号が排他的論理和回路41～43で確認され、正常であればこれら排他的論理和回路41～43の出力がHレベルとなり、アンド回路44に出力がHレベルとなり、フォーマット確認信号が正常を表示するHレベルとされる。また、この状態では他の確認回路23および24も正常であることを示すHレベルとされ、アンド回路26の出力がHレベルとされ、アンド回路27およびオア回路30を介して肯定応答ACKを送出する。

【0025】次に、図5の(B)で示すように伝送波形のフォーマット中にノイズが発生して、伝送データに化けが発生したような場合には、フォーマット確認回路22からの出力信号がHレベルを示すものであるが、エラーチェックコード確認回路23、またはビットエラー確認回路23の出力がLレベルを示して、異常の判定出力を出す。このため、アンド回路26の出力がLレベルとされ、ACK信号はアンド回路27から出力されることがない。しかし、アンド回路26の出力がLレベルであり、且つブ

フォーマット確認回路22の出力がHレベルであるため、アンド回路28を介して否定応答NCKが送出される。

【0026】そして、図5の(C)で示すようにフレームフォーマットの前のアイドル期間(無信号時)においてノイズが発生すると、フォーマット確認回路22において異常を検出し、この回路22からの出力がLレベルとされる。したがって、アンド回路26の出力がLレベルとされてアンド回路27の出力がLレベルとされ、またフォーマット確認回路22の出力がLレベルであるため、アンド回路28の出力がLレベルとされるようになって、正常応答(ACK)と共に否定応答(NCK)が送出されることがない。

【0027】

【発明の効果】以上のようにこの発明に係るデータ通信装置によれば、送信側がメッセージを送信したとき以外は、ノイズが発生することがあっても否定応答(NCK)を伝送路に送出することがない。そして、もしノイズが発生した直後において正常なメッセージの送出が行われたとしても、そのメッセージを破壊することがないものであり、メッセージ破壊に伴う伝送効率の悪化はなく、したがってノイズの発生による影響が最小限に抑えられる。

【0028】しかしながら、ノイズがフォーマットの特徴部分等において発生した場合においては、たとえデータ送信中のノイズであっても否定応答を送信しない場合がある。しかしこの様な場合にあっては、必ず肯定応答も送出されないものであり、したがって子局における異常であるか、またノイズ発生による異常であるかの判断

はできないが、送信側からのデータが正常に送信されなかったことの確認ができる。子局の故障については、必ずしも送信毎に確認する必要がないもので、何回かの確認がされた後に判断されることが多いものであるため、ノイズ発生周期と送信周期とが完全に一致しない限り、子局の故障を判断することはできる。

【図面の簡単な説明】

【図1】この発明の一実施例に係るデータ通信装置を説明するための、マスタスレーブ構成のネットワークを説明する構成図。

【図2】上記ネットワーク構成における子局の構成を説明する図。

【図3】伝送路に送出されるフレームフォーマットの構成を説明する図。

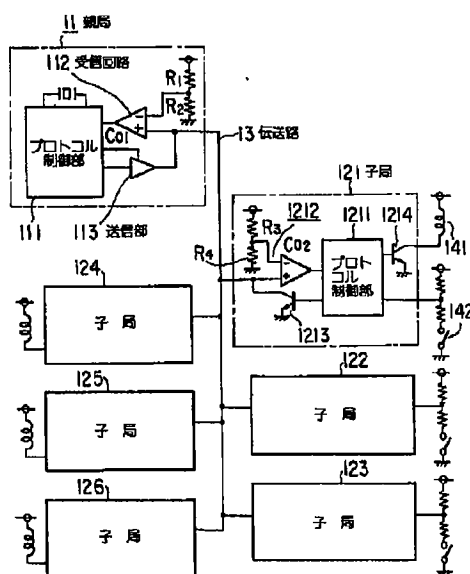
【図4】上記フレームフォーマットに対応して構成されるフォーマット確認回路の構成例を示す図。

【図5】上記実施例に係るデータ通信装置の動作を説明するための信号波形図を示すもので、(A)は正常時、(B)はデータ伝送中のノイズが発生時、さらに(C)は無送信時のノイズ発生時を示す。

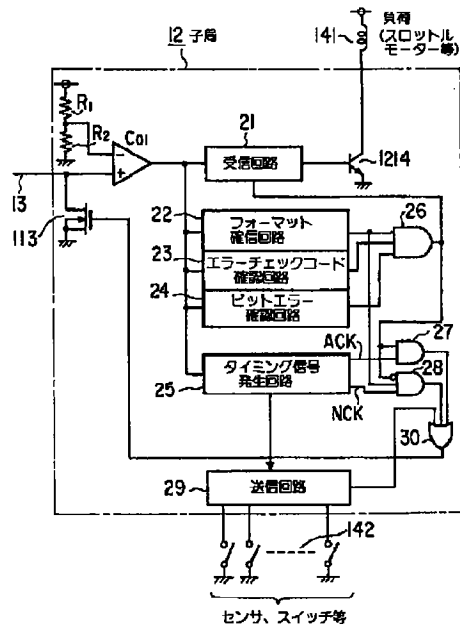
【符号の説明】

11…親局、111…プロトコル制御部、112…受信回路、113…送信部、12、121、122、…子局、21…受信回路、22…フォーマット確認回路、23…エラーチェックコード確認回路、24…ビットエラー確認回路、25…タイミング信号発生回路、26～28…アンド回路、29…送信回路、30…オア回路。

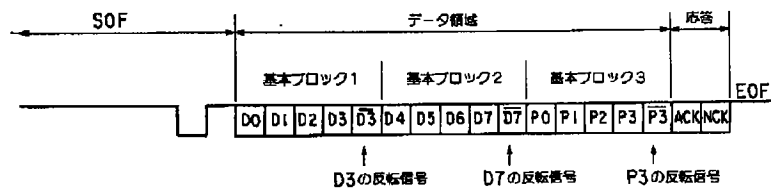
【図1】



【図2】



【図3】

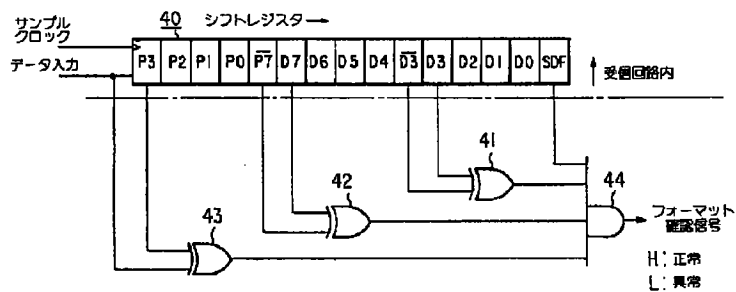


ただし、 D0～D7 : 8ビットデータ  
P0～P3 : エラーチェックコード

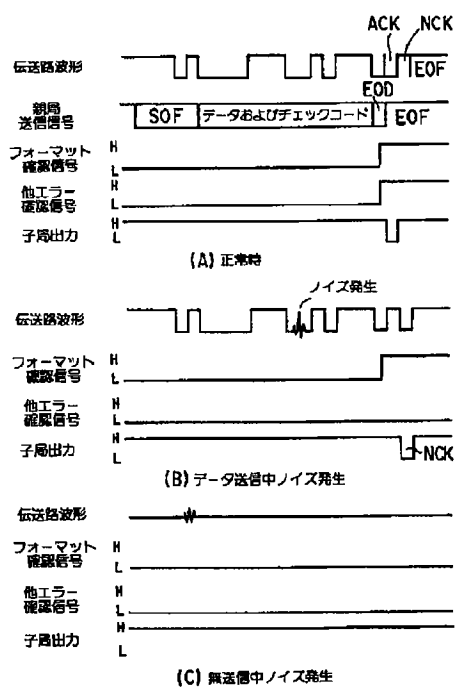
$$\begin{cases} P0 = \text{NOT}(D0 \oplus D2 \oplus D4 \oplus D6) \\ P1 = \text{NOT}(D0 \oplus D1 \oplus D4 \oplus D5) \\ P2 = \text{NOT}(D0 \oplus D1 \oplus D2 \oplus D3) \\ P3 = \text{NOT}(D4 \oplus D5 \oplus D6 \oplus D7) \end{cases}$$

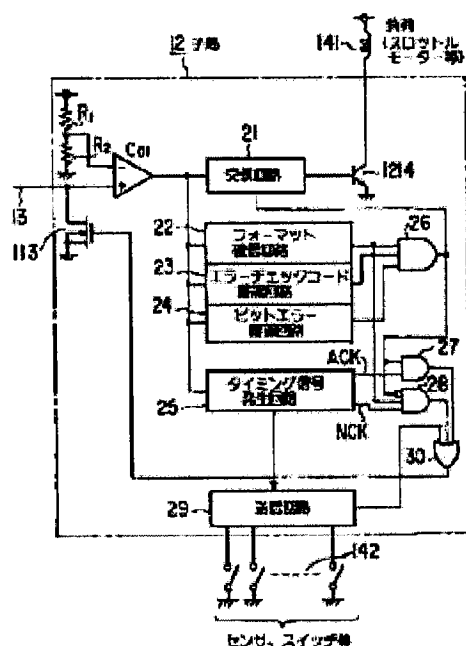
⊕ は排他的論理和

【図4】



【図5】





**PURPOSE:** To provide a data communication equipment having masterslave constitution capable of preventing the other transmission from being interrupted when a noise is generated especially in a non-signal section.

**CONSTITUTION:** Plural slave stations 12 is connected to one master station through transmission lines 13 and a signal of a prescribed format consisting of SOF, plural basic data blocks, ED, ACK, NCK, and EOF areas is transmitted from the master station. Each slave station 12 is provided with a format checking circuit 22 and error checking circuits 23, 24 and the gates of respective AND circuits 26, 27 are opened by 'H' signals outputted from these checking circuits 22 to 24 to transmit AKC from a timing signal generating circuit 25. When an output from the circuit 22 is 'H' and an 'L' output is obtained from the circuit 26, NCK is transmitted from an AND circuit 28, and when the abnormality of the format is confirmed, both ACK

and NCK are not transmitted.

### DETAILED DESCRIPTION

[Industrial Application]The master station which consists of a central control unit the information, including the driving command of various actuators, a sensor signal, switch information, etc., that this invention is equipped, for example in vehicles, such as a car, The multiplexer of the master slave composition transmitted and received among two or more slave stations set as each drive or a sensor pan respectively corresponding to a switch etc. is started.

[0002]

[Description of the Prior Art] In the transmission and reception system of data, the means of communication which was made to perform transfer of data is known, receiving the response from the receiver to each send data transmitted to the transmitter side from this transmitter, when transmitting data towards a receiver from a transmitter. In this case, although reception of the data signal from a transmitter is checked in a receiver end and a predetermined response is transmitted towards a transmitter, as a means of such a response, the data communication method indicated by JP,60-236337,A, for example is known. That is, he sets the field for a response as the portion of the last of send data, and is trying to return a positive acknowledge (ACK) or a negative acknowledge (NCK) to the transmitter side from a receiver end in this data communication method using this response field.

[0003] If the bosh company of Germany proposes and it is in CAN (Controller Area Network), When an error occurs in the data signal transmitted to a receiver end from the transmitter side, he is trying to transmit a frame for exclusive use to the transmitter side in a receiver end at the time of an error.

[0004] And the conditions which generate a negative acknowledge in the data communication method of above-mentioned JP,60-236337,A, and an error frame generates in CAN are the cases where an error is detected to the data signal received in the receiver. For example, an error frame is transmitted when one or more of a bit error, a stuff error, a CRC error, a form error, ACK errors, etc. occur in



CAN.

[0005]However, the error detected in such a receiver end, If it is when it generates easily, a noise occurs, for example during transmission of data and it transmits a negative acknowledge and an error frame by a noise, the data frame is only destroyed and there is little influence on other communications. However, when a noise occurs during the non-signal period generally called an idle and this noise is received in a receiver, erroneous recognition of this noise may be carried out to the head of a frame. When erroneous recognition of the noise is carried out to the head of a frame, return of a negative acknowledge or an error frame certainly comes to be performed, and the data transmission from other transmitters is forbidden between more than the time of one-frame length after generating of the noise. Even if it transmits a signal to a transmission line in other transmitters, the send data comes to be destroyed by existence of a negative acknowledge or an error frame, and remarkable aggravation is imitated to transmission efficiency by it, and it is \*\*.

[0006]

[Problem to be solved by the invention]In a case as this invention was made in view of the above points and the noise occurred during especially the non-signal period, As the transmission from other transmitters is not checked and a transmission line can use efficiently, it is going to set in vehicles with a high rate of generating of a noise, and it is going to provide the data communication unit the multiplex communication network of master slave composition enabled it to constitute effectively.

[0007]

[Means for solving problem]In the communication network which the data communication unit concerning this invention sends out the sending signal of the format defined in the transmitting means to a transmission line, and received the sending signal from a transmitting means in the reception means, The format verifying means which checks the format of the sending signal transmitted in the transmission line, The error verifying means which detects a signal error from the sending signal similarly transmitted in the transmission line, The positive-acknowledge delivery means which sends out a positive acknowledge to said transmission line in the state where it is checked by said format verifying means that a format is normal, and an error generation is not checked by said error verifying means, It is checked by said format verifying means that a format is normal, and where an error generation is checked by said error verifying means, it is constituted including the negative-acknowledge delivery means which sends out a negative acknowledge to said transmission line, When the abnormalities of a format are checked by a format verifying means, neither said positive acknowledge nor a negative acknowledge is sent out, and it is making.

[0008]

[Function]For example, many of noises generated in vehicles are the things of pulse nature, such as serge.

Therefore, it is rare to continue generating during the transmission period of the data frame transmitted.

The message which noted this point and received at the time of the error detection by the side of a reception means distinguishes [ what was transmitted from the transmitting means, and ] whether erroneous recognition is carried out by the noise. And where it is judged that abnormalities do not exist in a reception format, when an error is detected, When the negative acknowledge was generated, and a reception format is normal and is judged to be the erroneous recognition by a noise, transmission efficiency is made to be secured, as neither a positive acknowledge nor a negative acknowledge is performed and destruction of other messages is not performed.

[0009]The noise frequently generated in vehicles is based on the fly back pulse etc. which ignition noise, a motor, a solenoid, etc. generate, and is generated sporadically in many cases. Therefore, the big point of difference in the transmission line of the case where a noise occurs during message transmission, and the case where a noise emits during transmission is whether the thing near the defined frame format was transmitted. For this reason, a portion with a format characteristic in the signal received by the reception means, For example, SOF (Start Of Frame) EOD (End Of Data), It can be identified by judgment whether the mark for taking message length (length from SOF to EOD) and a bit synchronization is carrying out predetermined wave shape whether the transmitted format is normal, and this discernment is performed by the format verifying means.

[0010]When erroneous recognition of the transmission start is carried out by the noise mainly generated during no transmitting and the format verifying means has recognized it as noise generating at the time of no transmitting in a reception means by the time for this reason, it is keeping that the

negative acknowledge from a reception means destroys other messages from transmitting a negative acknowledge. Thus, aggravation of transmission efficiency can control effectively under noisy environment by certainly not returning a negative acknowledge, if an error occurs, but returning a negative acknowledge, when recognized as the form which was the Lord of the format at least being normal.

[0011]

[Working example] Hereafter, one embodiment of this invention is described with reference to Drawings. Drawing 1 is what shows the composition of the communication network carried, for example in vehicles. The one master station 11 set up corresponding to a central electronic control unit etc., A motor, a solenoid, and two or more slave stations 121 further set up corresponding to each of load factors, such as a sensor and a switch, 122 having -- the master station 11, each slave station 121, 122, and -- it is connected by the transmission line 13 where each is common, and constitute the network of master (master station) slave (slave station) composition.

[0012] The master station 11 is provided with the protocol control part 111, the receive section 112, and the transmission section 113, and the protocol control part 111 made it the crystal oscillating clock source, for example, it is constituted by the microprocessor. The receive section 112 is constituted by comparator Co1 in comparison with the reference voltage which carried out the partial pressure of the potential of the transmission line 13 by the resistance R1 and R2, and the transmission section 113 is constituted by the driver in which a three state output is possible using a transistor.

[0013] So that the slave station 121, 122, and -- may be represented with the slave station 121, for example and it may be shown, The receive section 1212 constituted from the protocol control part 1211 with the input/output port of common data, potential of the transmission line 13, the resistance R2, and R4 by comparator Co2 in comparison with the reference potential which carried out the partial pressure, It is constituted including the transistor 1213 for a communication output, and the load factor which is the external actuator 141 is driven with the transistor 1214 controlled by the output from the protocol control part 1211. It is inputted into the protocol control part 1211, send data is created, and the detection information from the load factor of a sensor or the switch 142 controls the transistor 1213 for communication.

[0014] Although the other slave stations 122 and -- are constituted like this slave station 121, It is inputted into the slave station to which characteristic load factors, such as an actuator, a sensor, and a switch, are connected, respectively, and these load factors drive by the instructions from each slave station, and the information from a sensor, a switch, etc. corresponds, respectively.

[0015] The receiving circuit 21 to which drawing 2 is what showed the composition of the slave station 12 (121, 122, --) still in detail, and the output from party RETACo1 is supplied, When it is mainly constituted by the shift register and an error does not exist, received data are incorporated into a buffer, and a signal is outputted to the transistor 1214 grade which drives the external actuator 141 etc. The output signal from comparator Co1 is supplied to the format confirmation circuit 22, the error check code confirmation circuit 23, the bit error confirmation circuit 24, and also the timing signal generating circuit 25 which detect a format error further.

[0016] Here, the error check code confirmation circuit 23 is checking generating of transformation of received data. It is what is checking for every bit whether the bit error confirmation circuit 24 is the length was checking the mark form received data were decided to be, or each bit length was decided to be, Although the timing signal generating circuit 25 has managed the operation timing of various internal circuits, in this figure, only the output of NCK for ACK for a positive acknowledge and a negative acknowledge is shown for the facilities of explanation.

[0017] and the format confirmation circuit 22 and the error check code confirmation circuit 23 -- further -- the bit error confirmation circuit 24 -- the acknowledge signal from each is supplied to AND circuit 26 of 3 inputs, and the output signal from this AND circuit 26 is supplied to the receiving circuit 21 as a reception command signal. Mark ACK outputted from the timing signal generating circuit 25, With the output from AND circuit 26, AND circuit 27, it inputs, the mark NCK from the timing generating circuit 25 is inputted into AND circuit 28 with the output from the format confirmation circuit 22, and the output from AND circuit 26 is further inputted into this AND circuit 28 by negative logic.

[0018] The information from the load factor of the switch 142 etc. which are set as the exterior of this slave station 12 is inputted into the sending circuit 29, This sending circuit 29 is driven with the timing signal from the timing signal generating circuit 25, and outputs the input from the external load

element of the switch 142 etc. in a predetermined format. The output signal from this transmission section 113 controls the transistor which constitutes the transmission section 113 via OR circuit 30, and the output signal from AND circuits 27 and 28 is further supplied to OR circuit 30.

[0019] Drawing 3 shows the example of the frame format for explaining the format confirmation circuit 22, and this frame starts with SOF first. And D0 - D3, 4 bits of low ranks of data following this SOF, The basic block 1 which consists of a 1-bit reversal mark which reversed the bit D3 for taking a bit synchronization is set up, and the basic block 2 set to D4 - D7 from the 1-bit reversal mark which reversed the bit D7 for taking a bit synchronization top 4 more bits continues. And the basic block 3 further set to 4 bits of error check code Po of a data division - P3 from the 1-bit reversal mark which reversed the bit P3 for taking a bit synchronization continues, and this reversal mark makes the mark EOD which shows the end of data serve a double purpose. The field for ACK and NCK is set to after that, and EOF which shows the end of a frame is set to it at the end.

[0020] Drawing 4 shows the concrete example of composition of the format confirmation circuit 22 at the time of using a frame format for this appearance, and is constituted by the shift register 40 which has a memory step which memorizes SOF with each bit of the basic blocks 1-3 of the frame format of drawing 3.

[0021] The bit held at each stage at the time of an error check as shown by a diagram is stored in each stage of this shift register 40. And the output from the stage which memorized the bit D3 and its reversal mark of this shift register 40 is inputted into the exclusive "or" circuit 41. The output from the stage which memorized the bit D7 and its reversal mark is what is constituted so that it may input into the exclusive "or" circuit 42 and the bit P3 and the input data which continues after that may be further inputted into the exclusive "or" circuit 43, these exclusive "or" circuits 41-43 -- the output from each is inputted into AND circuit 44.

[0022] A format acknowledge signal is outputted, when a frame format is normal, the output of high level (H) is obtained, and when a format has abnormalities, the output of a low level (L) is obtained from this AND circuit 44.

[0023] The operation in the multiplexer as which the master/slave mode constituted by this appearance is adopted is explained using drawing 5. First, it is what sends out a data signal according to a format as shown by drawing 3 to the transmission line 13 in the master station 11, When it outputs to the mark EOD which shows the end of data from the master station 11, data is stored in a situation as shown in the shift register in the receiving circuit 21 of each slave station 12 by drawing 4. Here, the bit of the last of the mark SOF which shows a frame start is H level, and the feature of the format shown by drawing 3 is that the inversion signal for bit synchronization adjustment is contained every 5 bits of a data area.

[0024] In the multiplexer of such master/slave mode, when communication is performed normally, the signal wave form sent out to the transmission line 13 as (A) of drawing 5 shows is set up. Namely, in the format confirmation circuit 22 as shown by drawing 4, the basic blocks 1-3 -- each inversion signal is checked in the exclusive "or" circuits 41-43, and if normal, the output of these exclusive "or" circuits 41-43 will serve as H level, an output serves as H level in AND circuit 44, and it is considered as H level with which a format acknowledge signal displays normalcy. In this state, it is considered as H level in which a normal thing is shown, the output of AND circuit 26 is used as H level, and other confirmation circuits 23 and 24 send out positive-acknowledge ACK via AND circuit 27 and OR circuit 30.

[0025] Next, when a noise occurs during the format of a transmitted wave form as (B) of drawing 5 shows, and transformation occurs to transmission data, the output signal from the format confirmation circuit 22 shows H level, but. The output of the error check code confirmation circuit 23 or the bit error confirmation circuit 23 shows L level, and takes out the decision output of abnormalities. For this reason, the output of AND circuit 26 is used as L level, and an ACK signal is not outputted from AND circuit 27. However, since the output of AND circuit 26 is L level and the output of the format confirmation circuit 22 is H level, the negative acknowledge NCK is sent out via AND circuit 28.

[0026] And if a noise occurs in the idle period (at the time of a non-signal) before a frame format as (C) of drawing 5 shows, abnormalities will be detected in the format confirmation circuit 22, and let the output from this circuit 22 be L level. Therefore, since the output of AND circuit 26 is used as L level, and the output of AND circuit 27 is used as L level and the output of the format confirmation circuit 22 is L level, The output of AND circuit 28 comes to be used as L level, and a negative acknowledge (NCK) is not sent out with a normal response (ACK).

[0027]

[Effect of the Invention]According to the data communication unit applied to this invention as mentioned above, except when the transmitting side transmits a message, even if a noise may occur, a negative acknowledge (NCK) is not sent out to a transmission line. And even if sending out of a normal message is performed immediately after a noise occurs, the message is not destroyed, and there is no aggravation of the transmission efficiency accompanying message destruction, therefore the influence by generating of a noise is suppressed to the minimum.

[0028]However, when a noise occurs in the characterizing portion of a format, etc., a negative acknowledge may not be transmitted even if it is a noise under data transmission. However, if it is in such a case, a positive acknowledge is not certainly sent out, either, and that unusual judgment [ in / therefore / a slave station ] it is unusual or according to noise generating cannot be performed, but the check of the data from the transmitting side not having been transmitted normally can be performed. It is not necessary to necessarily check for every transmission, and about failure of a slave station, since it is judged in many cases after a some times check is carried out, unless a noise generation cycle and a transmission period are thoroughly in agreement, failure of a slave station can be judged.

## DESCRIPTION OF THE DRAWINGS

[Drawing 1]The block diagram explaining the network of master slave composition for explaining the data communication unit concerning one embodiment of this invention.

[Drawing 2]The figure explaining the composition of the slave station in the above-mentioned network composition.

[Drawing 3]The figure explaining the composition of the frame format sent out to a transmission line.

[Drawing 4]The figure showing the example of composition of the format confirmation circuit constituted corresponding to the above-mentioned frame format.

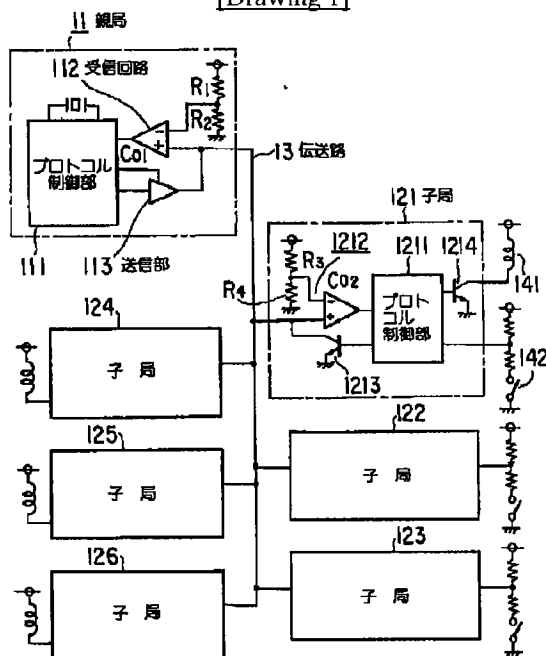
[Drawing 5]The signal waveform diagram for explaining operation of the data communication unit concerning the above-mentioned embodiment is shown, and, as for (A), the noise under data communications shows [ as for (B) ] the time of noise generating at the time of no transmitting further at the time of generating at the time of normal, as for (C).

[Explanations of letters or numerals]

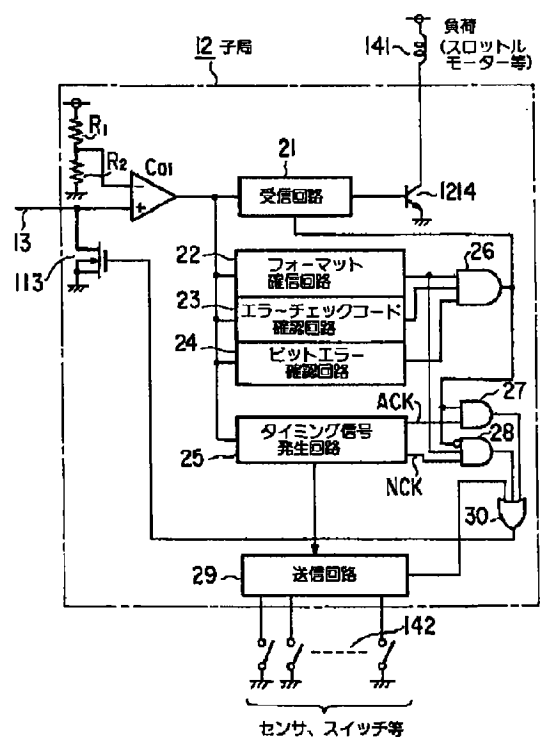
11 -- A master station and 111 -- A protocol control part and 112 -- A receiving circuit and 113 -- Transmission section, 12, 121, 122, -- slave station, 21 [ -- A bit error confirmation circuit 25 / -- A timing signal generating circuit, 26-28 / -- An AND circuit, 29 / -- A sending circuit, 30 / -- OR circuit. ] -- A receiving circuit, 22 -- A format confirmation circuit, 23 -- An error check code confirmation circuit, 24

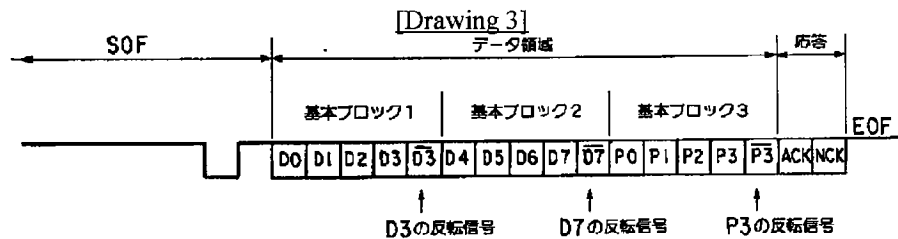
# DRAWINGS

[Drawing 1]



[Drawing 2]

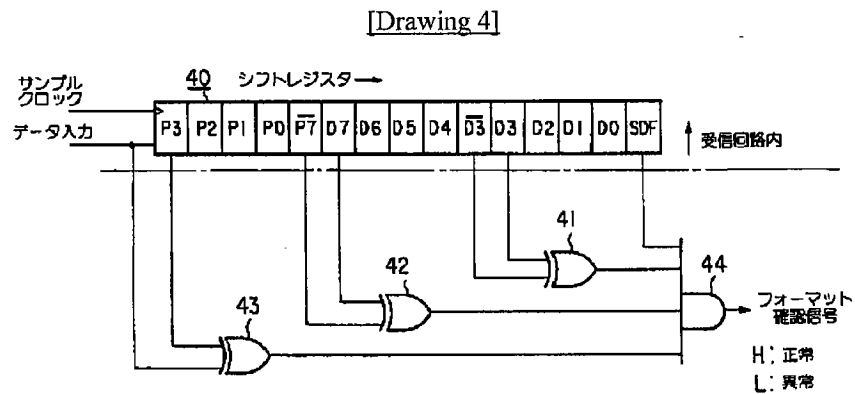




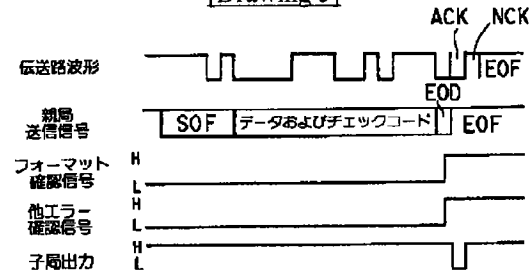
ただし、 D0～D7 : 8 ビットデータ  
P0～P3 : エラーチェックコード

$$\begin{cases} P0 = \text{NOT}(D0 \oplus D2 \oplus D4 \oplus D6) \\ P1 = \text{NOT}(D0 \oplus D1 \oplus D4 \oplus D5) \\ P2 = \text{NOT}(D0 \oplus D1 \oplus D2 \oplus D3) \\ P3 = \text{NOT}(D4 \oplus D5 \oplus D6 \oplus D7) \end{cases}$$

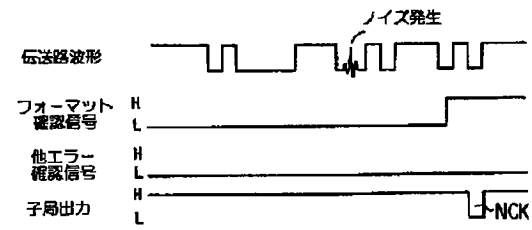
$\oplus$  は排他的論理和



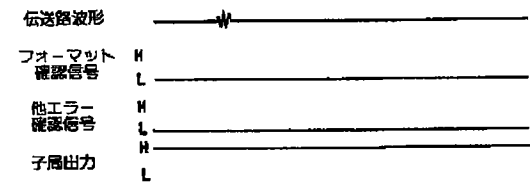
[Drawing 5]



(A) 正常時



(B) データ送信中ノイズ発生



(C) 無送信中ノイズ発生